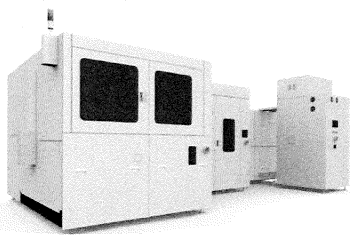


次世代3D-ICとチップレットにおける超精密加工／ 有機ダマシンCMP(OD-CMP)技術に関わる最新動向



土肥 俊郎*

Toshiro DOI

九州大学・埼玉大学 名誉教授／(株)Doi Laboratory

二瓶 瑞久

Mizuhisa NIHEI

(株)Doi Laboratory

1. はじめに

半導体デバイスに関して微細化の限界 (Mooreの法則の限界) が近づきつつあるが、「ポスト Mooreの法則」的な「More Mooreの微細化デバイス」に加えて、従来のCMOSデバイスになかったアナログ／RF、受動素子、高耐圧パワーデバイス、センサー／アクチュエーター、バイオチップなどを付加した「多機能・異種機能融合 (More than Moore) の多様化デバイス」に深化させることが必要となる。これからの半導体デバイスは、More Moore軸と More than Moore軸を兼ね備えた「高付加価値システム」へと向かっている¹⁾。一方、高周波・パワーデバイス系ではSiの物理的限界もあって、発光デバイスなどを含め次世代デバイスとしてSiCやGaNなどのワイドギャップ半導体基板、さらには近未来型の半導体ダイヤモンド結晶がグリーンデバイス用として注目を浴びている²⁾。

Beyond 5G/6Gを見据えて、半導体デ

バイス／3D-ICプロセスとその実現について考えると、NTT提唱のIOWN (Innovative Optical and Wireless Network) に象徴される光電融合技術³⁾では、多種多様な材料が導入されるであろう。他方、Siを用いるパワー系・高周波系半導体には物理的限界にきていることもあって、GaNやSiC、AlN、酸化ガリウム (β -Ga₂O₃)、ダイヤモンドなどがホットな話題になっている。半導体デバイスの超高速化とそのための微細化、Si系デバイスに加えて化合物半導体 (GaN、SiC、InPなど)、あるいはLiNbO₃、グラフェン、ポリマー材料へのニーズなどが高まることを想定しなければならない。そして、短波長になり電波の到達距離が短くなると、通信システムを構成するデータ基地局の数は急増するので、半導体デバイスの需要も超膨大化することを念頭におくべきである。いずれにしても多種多様な機能性材料が登場しており、次世代の高性能デバイス構築のための構成材料として非常に期待され、研究開発が展開されている。

様々な次世代半導体の状況は多様な動きがある中で、地政学的状況も複雑化しているが、最近特に脚光を浴びているの

は、AI向け半導体の急激な需要増大と相まってチップレット集積などの先端的な次世代半導体パッケージの大型化、有機化、パネル化であろう。さらに、データセンターにおけるデータ量の膨大化と省消費電力化を念頭に、光電融合デバイスCPO (Co-Packaged Optics) も本格化してきている状況にある。

本稿では、特に注目を集めるCoWoS (Chip on Wafer on Substrate) 技術にフォーカスして考えてみよう。言うまでもなく、高性能コンピューティング (HPC: High Performance Computing) や人工知能 (AI) 分野での応用が期待されているので、TSMC (台湾積体回路製造) の最新情報を基にCoWoS技術がどのように半導体業界の未来を形作るのか考察する。その上で三次元半導体デバイスにおいて必須技術の超精密加工／CMPの立場から、関連する先端的材料と高効率の高品位加工の視点から私見を交えて述べる。

2. 半導体プロセスにおけるキーとなる加工／CMP技術

これまでのMore Mooreから複数のICチップを組み合わせる機能の高度化・高

*【著者問合先】

〒814-0001 福岡市早良区百道浜2-1-22

Tel.092-986-3507

E-mail Toshiro.doi.883@m.kyushu-u.ac.jp

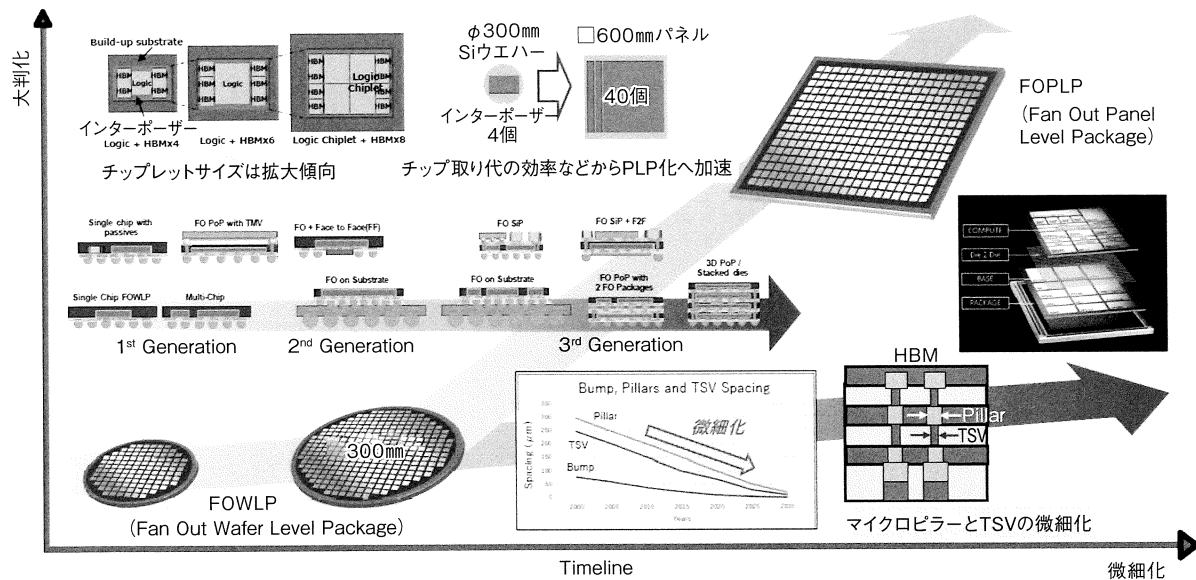


図1 半導体パッケージ技術の進歩—微細化とキャリアの大型化—

性能化を目指し、ヘテロジニアスの集積化を図ろうとMore than Mooreへと軸足が移り進む中で、半導体パッケージングの変遷を模式的に示すと図1のようになる。現在では2.5Dあるいは3Dパッケージに大きな期待が寄せられ、TSMC、IMEC、インテルはじめ、いま日本国内で話題のラピダスでも、これまで以上に後工程の先端の3D-ICパッケージに重点を置き研究開発を展開している。これまでシリコンウエハー（Si）に回路・配線の微細化を追究する「前工程」を中心にした平坦化CMP（Chemical Mechanical Polishing）であったが、近年では回路形成された半導体ウエハーを切り出して組み立てる「後工程」においても平坦化CMPが脚光を浴びている。特にAI向け半導体の性能向上のカギを握る先端パッケージは、演算や記憶など複数の機能を一つのパッケージに納めて効率良く相互に連動させるためである。

ここでは、まずシリコンウエハーとデバイス化ウエハーの加工プロセスについて確認し、次章の3D-ICパッケージ化に関わるキー技術／CMP技術の位置づけを明確にするために、脚光を浴びている次世代の高性能3D-ICパッケージ（三次元実装技術）を理解する。図2は、前工程から後工程の半導体プロセスの流れ図であって、後工程における3D-ICパッケー

ジ作成の最新プロセス概要と必須のキー加工技術であるCMP技術とハイブリッドボンディング技術に関わる箇所を明示したものである。以下、この図を眺めつつ理解されたい。

(1) 前工程におけるCMP技術の概要

シリコン単結晶の引き上げからウエハー化そしてデバイス化プロセスを経て、デバイス完成までの超LSIデバイス製造の流れ図については、本誌の前年度までに詳しく述べた⁴⁾ところであるが、高性能半導体デバイス製造を行うためには、多くの加工処理を経てデバイス側からの要求に見合った高品質・超精密のシリコンウエハーを製作することになる。最終的には、高性能デバイスを低コストで製造するにあたって、生産ベースに載せるべく高効率で結晶学的に無歪みの清浄化された平滑鏡面の平坦化を実現する加工プロセスを設計する。

従来からフラットネス、ヘイズ、マイクロスクラッチ、コンタミネーション、パーティクル数など厳しい要求項目が多くなってきている。CMP後の精密洗浄にはRCA洗浄が標準的に適用され不純物濃度 10^{-8} （/cm³）以下としているが、ウオーターマーク、パーティクル残渣などの徹底的発生防止のために、IPAマランゴニあるいはロタゴニなどの乾燥法にも導入・留意しなければならない。さらに、

次世代向けの新形状パラメーターとしてのHOS（High Order Shape）、Site NP（ナノトポグラフィー）、なども大変厳しい要請が来ている。

このベアシリコンウエハーのCMPでは、加工量（除去量）が10数μmもあって単一材料を加工するのであった。一方、デバイス化ウエハー平坦化CMPでは、加工対象は非常に多岐にわたり加工すべき除去量がサブμmしかなく、その範囲で凸部のみを除去して平坦化しなければならない。したがって、工具となるパッドは低不純物の硬質のものを使わざるを得ない。そして、スクラッチなどの欠陥は許されないので、適用するパッドの選定とその使用法などには極めて注意を払って神経を使う。そして、各種加工対象に見合うスラリーの選定・使用法にも細心の注意を払うのである。

加工すべき材料種は極めて多い。大別して絶縁膜と導電・メタル膜があって、これらの多岐にわたる材料に対して専用のスラリーを準備しなければならない。そのため、CMPの基本的加工メカニズムを十分に理解しながら、専用のスラリーを設計・作製する。すなわち、加工対象専用の高性能スラリーは、プールベ線図、ゼータ電位、静的・動的ターフェルプロット曲線を基にして選定・作製していく必要がある。特に、ダイナミック電気

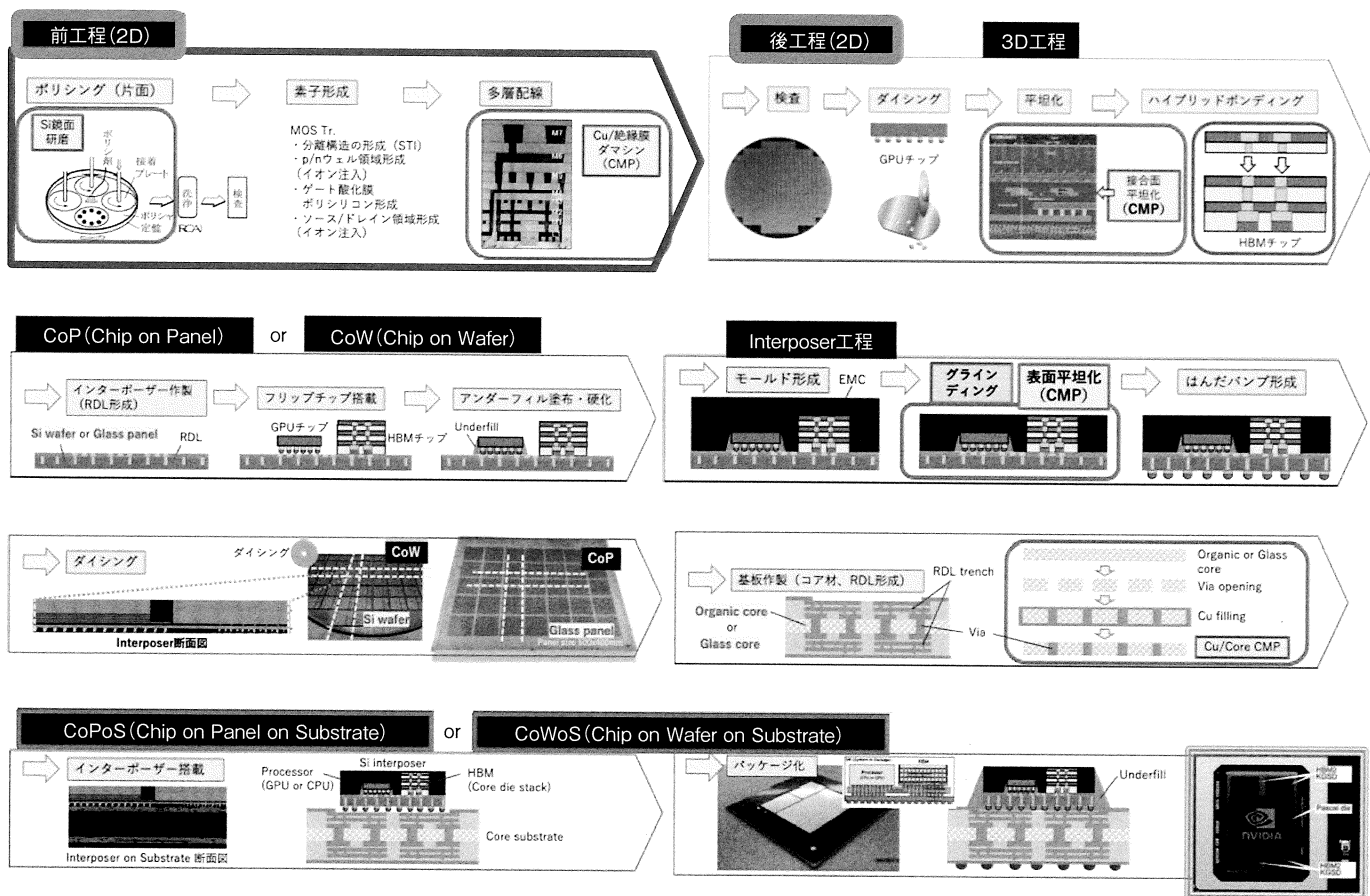


図2 前工程から後工程の半導体プロセスの流れ図

化学反応評価がキーである⁵⁾。

ここまでは、シリコンウエハーに回路・配線の微細化を追究する「前工程」を中心にした平坦化CMPについて概説してきたが、詳細は前号を参考にされたい。

(2) 後工程におけるプラナリゼーション加工／CMP技術

後工程は性能の向上を考え、大規模な単一機能チップを小さなダイに個片化(チップレット)し、その複数チップレットを一つのパッケージに集積するとチップレット集積とも言われ、現在脚光を浴びている。すなわち、一般的な大規模集積回路をφ300mmのウエハーに集積化することに専念している前工程であるが、後工程でもチップレットで性能アップに貢献すると言える。

チップレット集積は、ヘテロジニアス・インテグレーション技術によって異なる集積回路を組み合わせることができ、大きな特徴がある。複数の異なる種類のチップを一つのパッケージ内に統合で

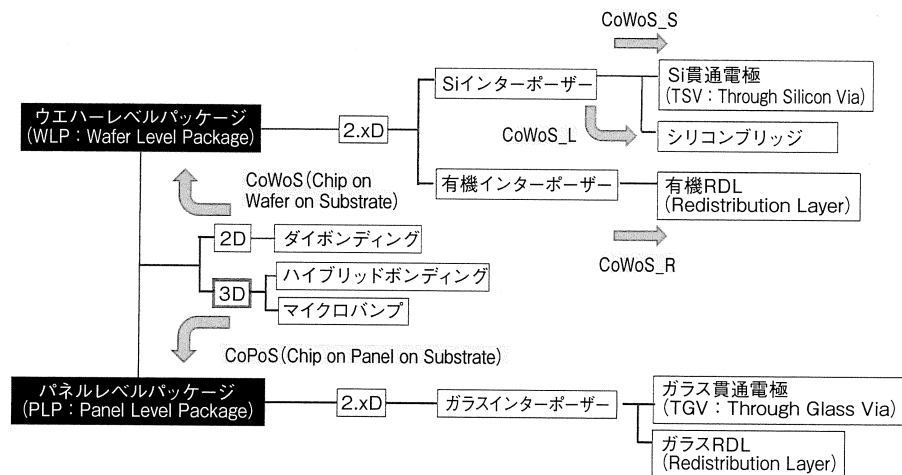


図3 先進的3D-ICパッケージの典型的方式・分類例

できれば、システム全体の設計が簡素化され、それによって開発コストの削減と製品の市場投入までの時間短縮が可能となる。したがって、TSMC、IMEC、インテルをはじめラピダスでも、後工程に分類される先進的3D-ICパッケージに重点を置きつつある訳である。3D-ICパッケージに至るまでには様々の方式が提案され

ていて、簡単な説明は難しいが、いくつかの典型的な方式を概略分類してみると図3のようになる。

チップレット集積の要となるのは、複数チップレットを載せて相互接続するための中間層となる“インターポザー”で、シリコン、有機材、ガラス、セラミックス(AINなど)、メタル(Cu、Alなど)などが挙

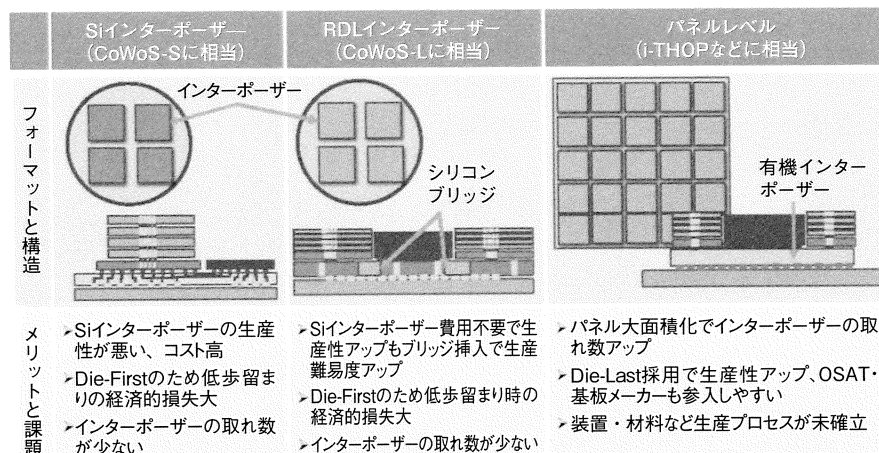


図4 最近の2.xDパッケージの技術トレンド (電子デバイス産業新聞 (2025.5.1より))

げられているが、現在では前三者が有力のようである。シリコンインターポザーは大型化に伴うコスト高が問題となるため、有機材料を用いた再配線層 (RDL: Redistribution Layer) インターポザーやガラスキャリアなど新素材・技術を適用してより大きいサイズのインターポザーを効率良く製造できる大判のパネル方式も提案されている。φ300mm Siウエハーでは大きなチップを効率良く取り出せず有効チップ数が少ないため、大判の角形パネル基板 (キャリア) とするのが主流となる。つまり、複数の基板 (チップ) を無駄なく切り出し、量産性とコスト低減が可能となる。想定するガラスキャリアは高平坦性・絶縁性・熱膨張係数の制御の面のほかに、チップレットによる多機能化、高性能化も期待されるが、大型パネルの研削・CMP加工や信頼性の確保など課題は多い。

さて、垂直方向に積層する3D-ICパッケージを狙うにあたって、TSV (Through Si Via) / TGV (Through Glass Via) 適用でチップを重ねるのに対して、インターポザーにダイを横に並べて高密度接続を使用とする2.5D (2.xD) 構造とする場合がある。それは、デバイスに必要とされる性能・機能によってチップレットの形態を異にする。ヘテロジニアスの3Dパッケージは、Mooreの法則に替わるべき次世代半導体のイノベーションと見られ性能の向上、省スペース化、省電力化に向いているが、垂直に積み上げるため

熱が集中しやすいので熱管理や歩留まり維持といった課題が指摘されている。図4は、2.xDパッケージの技術トレンドである⁶⁾。それぞれ一長一短があることが分かる。図1の「後工程」に併記した3D化で、CoW (Chip on Wafer)、CoP (Chip on Panel)、CoWoS、CoPoS (Chip on Panel on Substrate) に至る流れ図を併記しているので参照されたい。

一例として、CoWoS技術を例にすると、プロセッサと高帯域幅メモリ (HBM: High Bandwidth Memory) を効率的に接続し性能を大幅に向上させるもので、複数のチップを一つのウエハー上に配置しそれを基板に統合する。従来のパッケージング方法に比べて高帯域幅メモリ (HBM) との組合せにより、データ転送速度を飛躍的に向上できるという。さらにCoWoSに替わってRDLインターポザーを採用するCoWoS-L構造も提案されているが、シリコンインターポザーの代わりに有機インターポザーを採用する前述のパネルレベル構造も提案されている。パネルレベルのチップレットに対しては、515mm×500mmや600mm×600mmが標準化されつつある。

以上、前工程と後工程について最近の動向について述べてきたが、特に後工程については3D-ICパッケージ化へと進化し続けており、それに合わせるかのように平坦化CMPとハイブリッドボンディングがキーとなる技術であると言える。図2には、プラナリゼーション加工／

CMP技術とボンディングの技術に関わる箇所を併記・明示している。

3. 3D-ICパッケージ化に関わるキー技術／CMP技術とその最近の動向・トピックス

これまでのMore Mooreから複数のICチップを組み合わせて機能の高度化・高性能化を図るべく、ヘテロジニアスの集積化を目指してMore than Mooreへと軸足が移り進む中で、半導体パッケージングが深化しているのは前述のとおりである (図3参照)。

ここでは、パネルレベルパッケージ (PLP) を念頭にしてキー技術について概述する。

3-1 前工程におけるトピックス

ベアシリコンウエハーでは、フラットネス、ナノトポグラフィー、TTV (Total Thickness Variation) など形状に関して、極度な精度が求められている⁴⁾。CMPでも大変気を遣ってきているところであるが、その前加工の研削加工で高精度を確保しようとしている。東京精密では、アッベの原理を忠実に取り入れた主軸倒れのない構造でとことん振動抑制対策などを施した高剛性研削盤 (HRG3000RMX) と超微細砥粒砥石 (超ハイメッシュ砥石) によってストレスフリーを目指し、ダクティルモード研削を導入した結果、ストレスフリーのほとんどない加工面、TTV 0.3 μm以下を効率良く得ている⁷⁾。この装置は、もちろんバックグラインディングにも適用できる。

ディスコでは、グラインディングとポリシング、後洗浄をインテグレートした装置 (DGP876 HC) のほか、CMP装置 (DFP815) も発表している⁸⁾。Siのみならず、ガラス、SiC、サファイアなどの基板加工にも対応し、高精度のTTVを達成できるという。

3-2 後工程におけるトピックス

①ハイブリッドボンディングを前提にした中工程・研削プロセスとして前述の前工程対応の高剛性バックグラインダー (HRG3000XF) を活用して、ビルトインモーター、計測・制御、スクラブ洗浄な

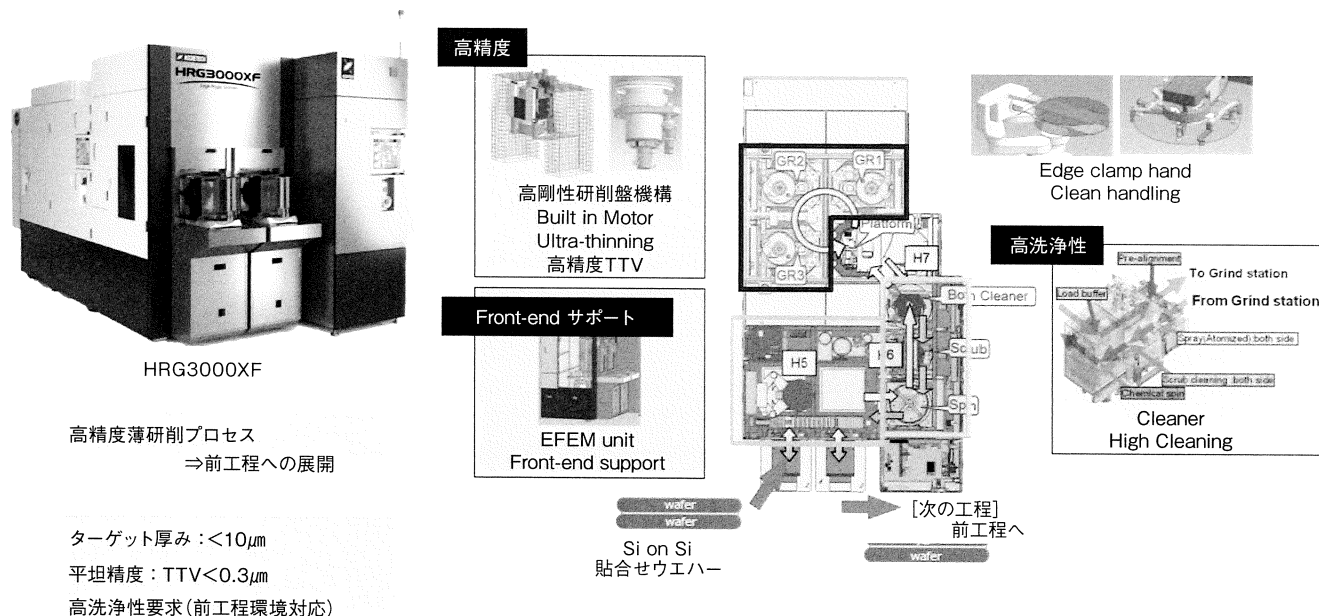


図5 前工程&後工程向けのバックグラインダー装置 (提供：東京精密)

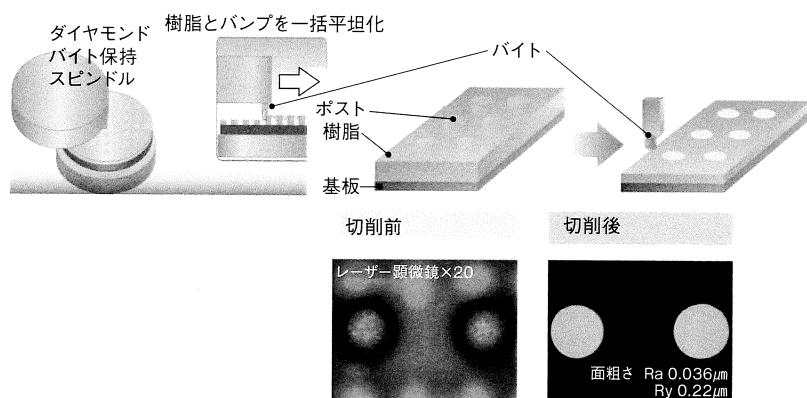


図6 ダイヤモンドバイト切削による複合材料の高精度平坦化の例
(ディスコの「サーフェスプレーナ技術」より)

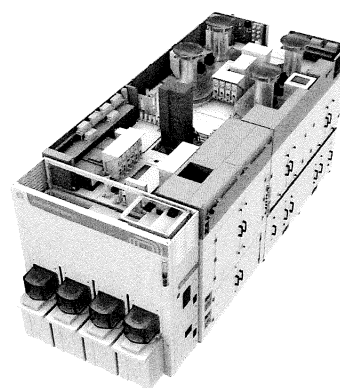


図7 AMATの新型Opta-CMP装置
(アブライド マテリアルのHPより)

ど機構を改良して平坦性・高洗浄化を向上させ(図5)、NANDメモリあるいはBSPDN (Logic) への適用を試みターゲットとする厚さ4 μ m、平坦精度TTV0.2 μ m以下を達成している⁷⁾。

②ディスコでは、サーフェスプレーナというダイヤモンドバイトを用いた切削によって、複合材料の高精度平坦化を提案している⁸⁾。例えば、延性材料 (Au、Cu、はんだなど)、樹脂などの複合材料を同時に平坦化加工することは大変厄介であるが、それを切削で行おうとしているところが興味深い。Cuが埋め込まれた樹脂を切削してパンプ高さのばらつき0.5 μ m、表面粗さRy40nm以下にできるので、その後の平坦化CMPの短縮化ができ

る。一般的にデバイス付きのウエハーなどの段差が大きいウエハーでは、裏面研削後のウエハー面内厚みばらつきが大きくなるが、このサーフェスプレーナ技術によれば、研削前にバイト切削によって表面保護テープの凹凸を除去することでウエハーの平坦度の確保が期待できる(図6)。

③先端ロジックやメモリーデバイスの量産 (HVM: High Volume Manufacturing) におけるCMPプロセスを念頭に、アブライド マテリアルズ (AMAT) や荏原製作所などの大手企業は革新を続けている。AMATでは、新規CMP装置 (Opta-CMP) を発表している (図7)。このOptaはスループットを上げることによって、設置台

数を減らし全体的なファブスペースを削減できるという⁹⁾。5nm以降の先端ロジックデバイスや200層以上の3D-NANDデバイスなど、先進ノードにおいて処理時間を短縮して平坦化と生産性を向上させ、デバイスのさらなるスケールアップを可能にするため、加工チャンバーにin-situでパッドの温度制御構成にしている。したがって、Opta-CMP装置は多用途性に優れているので、将来に向けた研究開発のプロトタイプにも適用でき汎用性が高いという。さらに、工程を進めるにつれて各社は独自の装置開発を加速させている。特に先端ロジックや3D-NANDなど、微細化・多層化が求められるデバイスにおいては、CMP技術の高度化が不可欠と

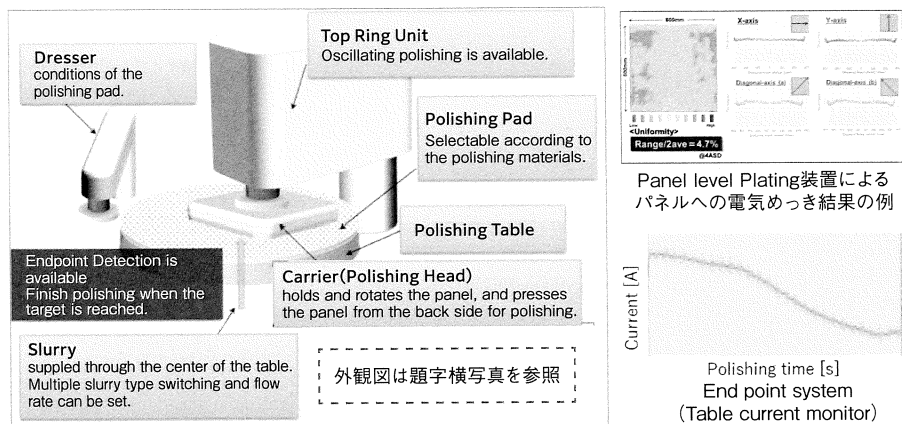


図8 パネル専用CMP装置の構成・外観写真とパネルサイズの電気めっきデータの一例(提供:荏原製作所)

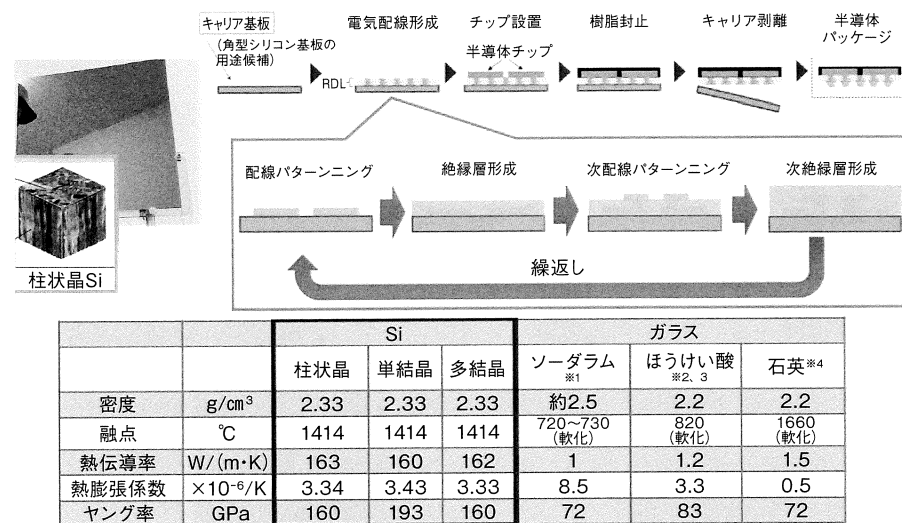


図9 特徴的「柱状Si」による大型パネル・Siシリコン基板外観と想定するチップレット・パッケージ技術の再配線層(RDL)形成工程/ガラス基板との物性比較(提供:三菱マテリアル)

なっているため、高精度な研削盤や新規材料対応の装置、さらにはパネルレベルの大量加工技術が進化を続けており、研究機関と企業による連携も活発化していくことになる。

④チップレットに関連して、チップ同士のデータのやり取りをするためにインターポーザーが必要となるが、CMPに関わる場所ではどんな材料基板を使うのか注意したい。様々な材料開発に余念がないところであるが、有機材料、ガラス、シリコンなどが適用されている。最近ではIntel、TOPPAN、大日本印刷、IBM、TSMCなどから500～600mm強のパネル状ガラス基板適用が発表されている¹⁰⁾。したがって、大型の角状基板のCMPについても検討しなければならない。図2中のCoPあるいはCoPoSでは、パネルレ

ベルパッケージが大きな注目を浴びている。通常の300mmの円形状ウエハーと違って、角型(パネル形状)の高精度加工のための加工条件は異なるうえに、500～600mmの角型となると難しさが格段と違ってくる。

AMATのOpta/Mira CMP装置や荏原製作所のCMP装置は、シリコンウエハー(φ300mm/200mm)向けに最適化されたCMP装置なので、パネルレベルパッケージ(PLP)は、大判ガラス基板や有機基板(例:510mm角、600mm角あるいはそれ以上)を対象とするため、標準的なウエハーCMP装置をそのまま使うことは難しい。

そこで荏原製作所、ACM Research(中国)はPLP向けのパネル形状、大型基板、材料対応(有機絶縁層PI(ポリイミド)、ABFなど、RDL、Cu、ガラスなど)、大面

積のPLP、RDL形成後の平坦化処理方法などに合わせた専用のパネル型基板用のCMP装置の開発を急いでいる。ディスコもパネル専用CMP装置の開発中であり、近日中に発表すると聞く。図8は、荏原製作所のパネル専用CMP装置の基本的構想模式図と外観写真(Panel level CMP装置、題字横写真)である。前工程で開発したφ300mm用のCMPシステム(例えば「F☆REX300XA」)仕様をベースに開発したもので、プラテンのモーター電流をモニターする終点検出装置もインテグレートされ、実際にABF(Ajinomoto Build-up Film)を加工した結果22μm/min、1σ=7.7%(EE=42mm)を確認している¹¹⁾。荏原製作所はCMPシステムのみならずパネル基板用の大型電気めっき装置を開発しているところにも強みがある。図8にパネルにCuめっきをした例も併記した。

キャリア基板としてのパネル基板材料についてはガラス基板が主流であるが、三菱マテリアルはチップレット技術を用いたパッケージの再配線層(RDL)形成工程・シリコンインターポーザーに角型の特殊の多結晶シリコン(柱状晶Si)基板を開発・提案している(図9)。ガラス基板に対してヤング率が高い・強度が高く良好な平坦性、反りが小さく優れたRDL特性があるということ、またSiウエハーの加工ノウハウがあるので加工しやすいことなどの特徴を挙げている¹²⁾。課題はコストであるが、剥離して何回も繰返し適用(剥離プロセス方式)できることを考えていることもあり、注目している。

前工程も含めて、後工程におけるCMPプロセスでは、その最適化を図るために関係要件を再構築する必要がある。特に高度なロジックや3D-NANDアプリケーションにおける新しい半導体材料の導入により、CMPプロセスパラメーターと機器仕様が根本的に変化している。従来の二酸化けい素から低誘電率誘電体やコバルトやルテニウムなどの新しい導体材料への移行により、特殊なCMP用スラリーとパッド材料の開発が必要になる。

装置メーカーは現在、従来ソリュー

ションよりもパッド表面特性を長く（例えば30～40%）、またアスぺリティを常時維持できるようにin-situコンディショニング・システムと併せて、新しい材料の組合せを狙い、それによってもたらされる直面の課題に対処しなければならない。新たな有機ダマシン（OD）-CMPに関わる有機材料用のスラリーの開発については後述するが、これまでのスラリーの試作原理と異なるので、材料・要素技術に対する課題と併せてCMPシステムの差別化においてさらなる高度なプロセス知識が要求されよう。

4. 有機ダマシン(OD)-CMPの基本的考え方とその応用

チップレットに関連してチップ同士のデータのやり取りをするためにインターポザーが必要となるが、CMPに関わる場所ではどんな材料基板を使うのか注意したい。様々な材料開発に余念がないところであるが、有機材料、ガラス、シリコンなどが適用されている。いずれにしても後工程におけるCMPでは、有機材料/CuダマシンCMP（これを、通常の前工程でのCMPと区別するためにOD（Organic Damascene）-CMPと称す）、大きなパネル状角版のCMP、そして後洗浄、ボンディングについて、新たに検討しなければならないのである。

有機材料を適用する大型パネルサイズでのRDLインターポザーの製作プロセスを念頭にすれば、その構成材料はPIなどの有機材料、配線用のCu、BMとしてのTiなどであるが、単一ステップでOD-CMPを行ってダマシン配線を完了したい。当社だけでなく各機関ではOD-CMPについて検討を展開している。これまでに筆者らが把握したCMP事例¹³⁾の一部を図10に紹介すると、同一スラリーによって各材料のCMP特性を診ると予想どおり加工レートが異なる。そして、有機材料の中でPIと一言でいってもCMP特性がまったく異なるので、有機材料のCMPの基本的なメカニズムを明らかにしなければならない。通常、有機材料は300℃前後でキュアするが、筆者

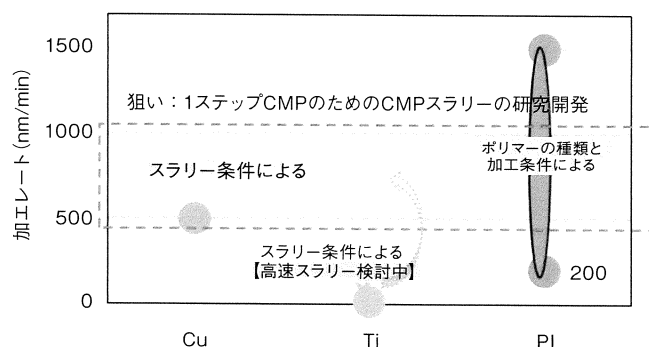


図10 有機(PI)・Cu・Ti-ダマシンCMP(OD-CMP)の事例

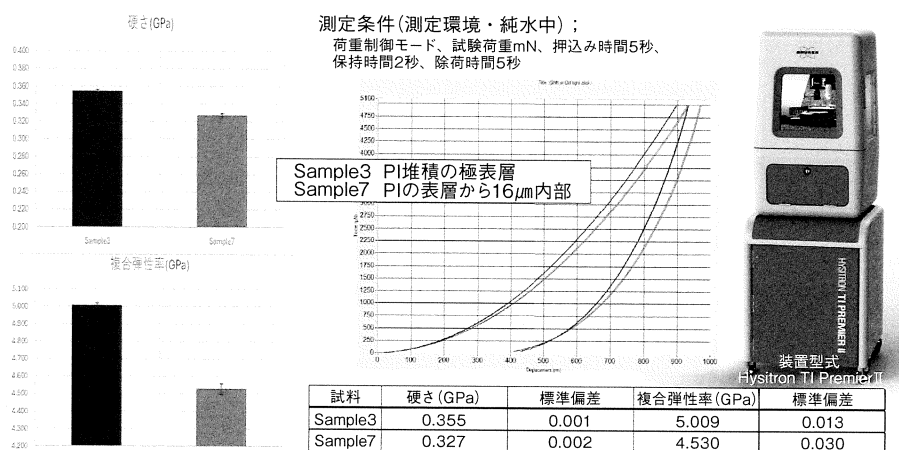


図11 市販PI膜のナノインデンテーション評価結果の一例（市販のPI）
（ブルカー・ジャパンのナノインデンテーション測定器による）

らはPI極表層と内部の物性が異なることもあり得ると考えた。一例として汎用PIを取り上げて、ナノインデンテーション試験によって物性評価を試みた。図11は、市販PIについてPI極表層とその内部について硬さ（GPa）と複合弾性率（GPa）を調べた結果の一例¹⁴⁾である。PI極表皮の方が内部のPIよりも硬く弾性率が高い傾向にある。したがって、PIと言っても様々なものがあるうえに表層と内部の物性が異なっている場合があるので、OD-CMPを行うにあたり注意すべき事柄と考える。

前述の例のように、高性能スラリーを試作するためには、単一ステップでOD-CMPを実現しようとすると構成材料の加工レートを同一にすることが基本となる。そのうえで、ハイブリッドボンディングを念頭にすれば、ディッシング・エロージョンなどの欠陥発生のない平坦度を確保して、加工面の表面粗さRa0.1nm

を確保する必要がある。ハードルは高い。そのためには、各被加工物の組成・構造を把握・理解したうえでスラリーの設計を行う。スラリーに混合する砥粒とその濃度、分散液（化学液）は加工能率、表面粗さに直截的に影響するので、様々な項目、例えば形状・粒径と分散性、ゼータ電位、pHなどを整理して選択する。当然のことながらスラリーの設計にあたっては、後洗浄にも配慮しておかなければならない。

ところで、最近、米国・ChEmpowerから、平坦化プロセスを簡略化すべく砥粒フリー／考案特殊パッドで、多層配線用のダマシンCMPはじめ高性能チップやパッケージング製造工程向けに興味深い半導体平坦化技術ソリューションを発表している¹⁵⁾。様々な情報から推測すれば、考案パッドが大変ユニークなようであり、高分子を絡ませた機能性官能基を有する独自の考案パッドと推測され、アブ

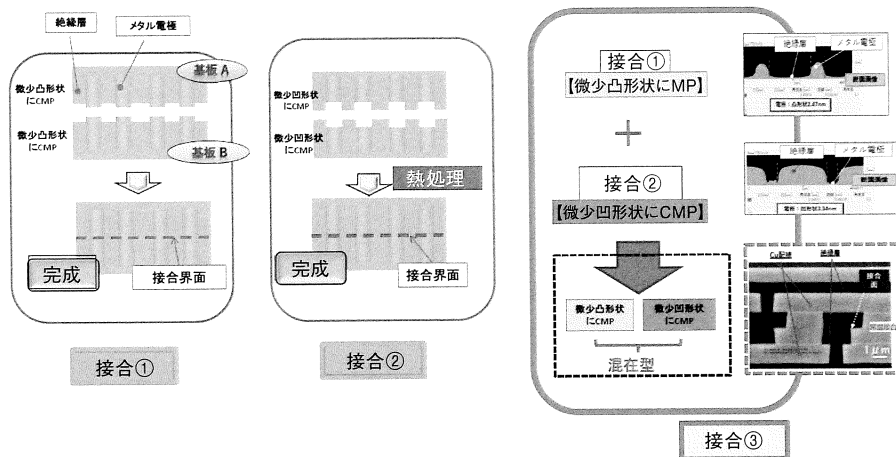


図12 CMP(テクスチャリングCMP)後の基本的ハイブリッド・ボンディング方法

レシブフリーでもCMPが実現できると思われる。その特殊パッドと組み合わせるスラリーには、被加工物のCMPを可能とする特殊な化学液を添加したスラリー（砥粒なし）でCMPを行うものと思われる。大変興味深い、詳細は不明なのでこれからの成果に注目したい。

これから、3D-ICパッケージには多くのCMPプロセスを経て、ハイブリッド・ボンディング(接合)プロセスに続くと考えれば、OD-CMP技術がキーであることが理解できたと思う。紙面の関係で多くを述べられないので、参考までにハイブリッド・ボンディングの手法について図12にまとめて示す。接合①は軟質な金属(Cu)を突き出させておいて加圧して押しつける手法、接合②は逆に金属(Cu)を凹ませて加熱時にちょうど平坦になるようにしておく手法、接合③は両者の基板をそれぞれ凹凸状にCMPをしてはめ合わせる手法である。基本的には、単純に平坦化CMPを施してボンディングする手法もあるが、構成される材料の熱膨張係数を考慮して10nm前後に凹凸状にするCMP、すなわち「テクスチャリングCMP」を施すのがハイブリッドボンディングの主流である。したがって、前述したように構成材料に見合うスラリーを設計して、最適なテクスチャリングCMP条件を見いだしていくことが重要である。

5. むすび

最近のデータセンターにおけるデータ量の膨大化と省消費電力化を念頭に、光電融合デバイスCPOも本格化してきている状況下で、次世代半導体の状況は様々な動きがある。特に脚光を浴びているのは、AI向け半導体の急激な需要増大と相まってチップレットなどの先端的な次世代半導体パッケージの大型化、有機化、パネル化であることを指摘してきた。

本稿では、特に注目を集めるCoWoS技術にフォーカスして考えてみよう。言うまでもなく、HPCやAI分野での応用が期待されていることから、TSMC、インテル、IBMなどの最新情報を基にCoWoS技術がどのように半導体業界の未来を形作るのか最新動向について考察した。そのうえで、三次元半導体デバイスにおいて必須技術の超精密加工／CMPの立場から、そこに関連する先端的材料と高効率の高品位加工の視点から私見を交えて述べた。

紙面の制限もあって、OD-CMPの応用面について言及できなかったが、多くの応用分野があると思う。事実、筆者らはHBM構築とそれに関連するプロブカードについても研究している¹⁴⁾。さらに興味深いのは、MEMS関連で小型の「静電アクチュエーター」においてもPIフィルムに微細パターンを形成して電極用のCu電気めっきを行い余分のCuをCMPで除去する、すなわちCuダマシ

CMPを適用するのである。近日中に試作が終了し低電圧で駆動させることが見込まれており、どこに応用するか近日中に発表したいところである¹⁴⁾。このような例もあるので、OD-CMPの研究開発を展開する醍醐味があるのである。

本稿が、3D-ICパッケージに関連する研究者・技術者はじめ、読者のお役に立てれば幸甚である。本稿を作成するにあたり、多くの関係企業からの資料提供をいただきましたこと、ここにお礼申し上げる。

参考文献

- 1) 土肥、二瓶、西澤、甲斐：月刊トライボロジー、38、11(2024)pp.32-38.
- 2) 山中、山本ら：電子情報通信学会論文誌B Vol. J104-B、No.3、pp.315-336(2020).
- 3) 岡：NTT 技術ジャーナル、35、1(2023)p.9-13.
- 4) 土肥、會田：月刊トライボロジー、37、11(2023)pp.32-38.
- 5) 土肥：精密工学会・2023年春季学術講演会キーンノート.
- 6) 電子デバイス産業新聞(2025年5月1日号).
- 7) 佃：エレクトロニクス実装学会九州支部2025夏季講演会(2025. 8.20).
- 8) Disco URL(<https://www.disco.co.jp/jp/>)
- 9) AMT URL(<https://www.appliedmaterials.com/jp/ja/about/japan-overview.html>)
- 10) 例えば、F. Angoua, A. Candadai, D. R-Yeomans, et al.: 74th Electronic Components and Technology Conference (ECTC) (2024), p.519-522.
- 11) 例えば、Y. J. Kim: International Conference on Electronics Packaging (ICEP) 2023.
- 12) 片瀬：角型シリコン基板を用いたソリューションの紹介、第3回3DHI アライアンス公開研究会(2025.5).
- 13) 土肥：次世代半導体のCMPプロセスの現状と将来展望、日本化学会(2024.7).
- 14) 土肥：超精密研磨の基本知識からPlanarization CMP技術の理解とCMP応用技術－半導体プロセスにおける超精密加工／CMP技術とBeyond the CMP技術展望－、大阪公立大学半導体デバイスプロセス技術基礎講座(2025.8).
- 15) 電子デバイス産業新聞(2025年5月15日号).